

Partial English Translation of
LAID OPEN unexamined
JAPANESE PATENT APPLICATION
Publication No. 2000-208625

[0026] to [0027]

[0026]

Thereafter, as shown in Figures 5(a), 5(b), and 5(c), silicon nitride in the field region which is not protected by the photoresist 13 is selectively removed, using phosphoric acid, for example. That is, the electrode upper portion protection film 6 and the sidewalls 11, which are respectively formed on the upper face and the side walls of the electrode 8f on the field region. By removing the electrode upper portion protection film 6 on the upper face of the electrode 8f on the field region, it is possible to form a part where the gate electrode is in contact with the upper portion metal wiring layer. Wherein, although the electrode upper portion protection film 6 and the sidewall 11 formed of the same material are both removed in the present embodiment, at least only the electrode upper portion protection film 6 is removed and the sidewall 11 is not necessary to be removed if the material of the electrode upper portion protection film 6 is different from that of the sidewall 11. Further, RIE can be employed instead of phosphoric acid for the removal.

[0027] Then, as shown in Figures 6(a), 6(b), and 6(c), the photoresist 13 is removed. This removal is performed in a manner that peeling is conducted with an asher and an organic residue is removed by RA cleaning.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-208625

(43)Date of publication of application : 28.07.2000

(51)Int.Cl.

H01L 21/768

H01L 21/28

H01L 29/78

H01L 21/336

(21)Application number : 11-009516

(71)Applicant : SONY CORP

(22)Date of filing : 18.01.1999

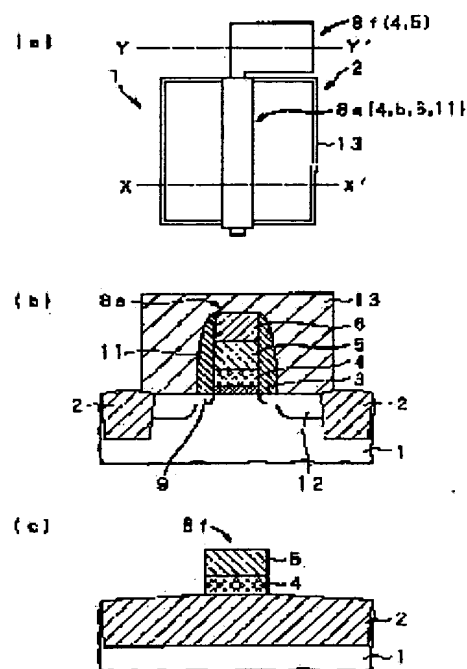
(72)Inventor : OTSUKA WATARU

(54) PRODUCTION OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the production processes of a semiconductor device for forming a contact hole by coating the upper surface and side surface of a gate electrode with a protecting film.

SOLUTION: An upper active region electrode 8a and an upper field region electrode 8f coating the upper surface and side surface thereof with an SiN protecting film are formed. Continuously, a protective film 6 covering the upper surface of the upper field region electrode 8f is selectively removed. Afterwards, an inter-layer insulating film is formed and a contact hole on an active region and a contact hole on a field region are opened simultaneously.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-208625
(P2000-208625A)

(43) 公開日 平成12年7月28日 (2000.7.28)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L	21/768	H 0 1 L 21/90	A 4 M 1 0 4
	21/28	21/28	L 5 F 0 3 3
	29/78	21/90	C 5 F 0 4 0
	21/336	29/78	3 0 1 P

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号 特願平11-9516

(22) 出願日 平成11年1月18日 (1999.1.18)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 大塚 渉

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100067736

弁理士 小池 晃 (外2名)

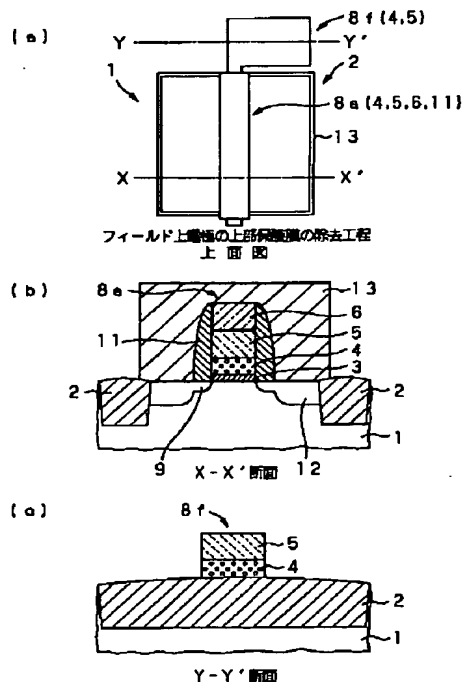
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 ゲート電極の上面及び側面を保護膜で被覆してコンタクトホールを形成する半導体装置の製造工程を少なくする。

【解決手段】 上面及び側面がS i N保護膜で被覆された活性領域上電極8 aとフィールド領域上電極8 fとを形成する。続いて、フィールド領域上電極8 fの上面を被覆する保護膜6を選択的に除去した後に層間絶縁膜1 4を形成し、活性領域上のコンタクトホールとフィールド領域上のコンタクトホールとを同時に開口する。



【特許請求の範囲】

【請求項 1】 上面が上部保護膜で被覆されるとともに側面がサイドウォールにより被覆された半導体基板の活性領域の活性領域上電極と、上面が上部保護膜で被覆されるとともに側面がサイドウォールにより被覆され上記活性領域上電極と接続された半導体基板のフィールド領域のフィールド領域上電極とを形成する電極形成工程と、
上記活性領域上電極上にレジストをパターニングするレジストパターニング工程と、
フィールド上領域電極の上面に被覆された上部保護膜を選択的に除去する上部保護膜除去工程と、
上記レジストを除去するレジスト除去工程と、
上記上部保護膜及びサイドウォールに対してエッチング選択比を確保した層間絶縁膜を、半導体基板全面に成膜する層間絶縁膜成膜工程と、
上記活性領域のソース／ドレイン領域を上部配線層と接続するためのコンタクトホールと、上記フィールド領域のフィールド領域上電極と上部配線層とを接続するためのコンタクトホールとを、エッチングにより同時に形成するコンタクトホール形成工程とを備える半導体装置の製造方法。

【請求項 2】 上記上部保護膜及びサイドウォールは窒化シリコン系材料であり、上記層間絶縁膜は酸化シリコン系材料であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ゲート電極の上面及び側面を保護膜で被覆してコンタクトホールを形成する半導体装置の製造方法に関するものである。

【0002】

【従来の技術】MOS 型電界効果トランジスタ (MOS FET) 等の半導体装置は、微細化が進み、不純物拡散領域の寸法が金属配線層と接続するコンタクトホールの開口径に対して狭くなってきたことにより、コンタクトホールの位置あわせのための設計余裕が厳しくなっている。そのため、微細化が進んだ半導体装置では、コンタクトホールの位置ずれによるゲート電極と不純物拡散領域との短絡といった問題が発生していた。

【0003】このような微細化に伴うゲート電極と不純物拡散領域との短絡といった問題を解決するため、近年の半導体装置の製造プロセスでは、自己整合コンタクト (SAC: Self Align Contact) 法によるコンタクトホールの形成が一般に用いられるようになってきている。自己整合コンタクトとは、層間絶縁膜に対してエッチング選択比を確保した絶縁材料からなる保護膜によりゲート電極の例えば側壁を被覆して、上部金属配線層と不純物拡散領域とを接続するためのコンタクトホールを自己整合的に開口する方法である。

【0004】また、さらに微細化が進み不純物拡散領域の寸法が狭い非常に厳しいデザインルールが適用された半導体装置の製造プロセスでは、ゲート電極の側壁のみならずゲート電極の上面まで保護膜で被覆して、上部金属配線層と不純物拡散領域とを接続するためのコンタクトホールを開口している。

【0005】ゲート電極の側壁及び上面を保護膜で被覆して、不純物拡散領域へのコンタクトホール及びゲート電極へのコンタクトホールを形成する従来の半導体装置の製造方法について図 8 から図 10 を参照して説明をする。なお、図 8 から図 10 において、(a) は各工程におけるシリコン基板の模式的な上面図を示し、(b) は各工程におけるシリコン基板の活性領域又はフィールド領域の模式的な断面図を示すものとする。

【0006】まず、従来の半導体装置の製造方法では、図 8 (a) 及び図 8 (b) に示すように、n 型又は p 型のシリコン基板 101 上に素子分離層 102 を形成する。次に、シリコン基板 101 上に素子分離層 102 に区画された活性領域に対して半導体ウェルを形成する。次に、半導体ウェル領域の表面にゲート酸化膜 103 を形成する。次に、シリコン基板 101 上の全面にポリシリコン膜 104、タングステンシリサイド膜 105、窒化シリコンからなる電極上部保護膜 106 を順次堆積する。次に、ポリシリコン膜 104、タングステンシリサイド膜 105、電極上部保護膜 106 を異方性エッチングして、活性領域上のゲート電極となる活性領域上電極 108a 及びフィールド領域上のゲート電極となるフィールド領域上電極 108f を形成する。この活性領域上電極 108a 及びフィールド領域上電極 108f は一体的に形成されるため電気的に接続された状態となっている。次に、イオン注入により低濃度不純物を拡散領域に注入し、LDD 構造における低濃度拡散領域 109 を形成する。次に、堆積させた窒化シリコンをエッチバックして、活性領域上電極 108a 及びフィールド領域上電極 108f の側壁にサイドウォール 111 を形成する。次に、イオン注入により高濃度不純物を拡散領域に注入し、ソース／ドレイン領域となる高濃度拡散領域 112 を形成する。

【0007】続いて、図 9 (a) 及び図 9 (b) に示すように、シリコン基板 101 上の全面に絶縁材料を堆積して層間絶縁膜 114 を形成し、この層間絶縁膜 114 の表面を平坦化する。次に、活性領域のコンタクトホール 115 (即ちソース／ドレイン領域と上部金属配線層とを接続するためのコンタクトホール) をエッチングにより開口する。

【0008】続いて、図 10 (a) 及び図 10 (b) に示すように、フィールド領域のコンタクトホール 116 (即ちゲート電極と上部金属配線層とを接続するためのコンタクトホール) をエッチングにより開口する。

【0009】従来の半導体装置の製造方法では、このよ

うに、電極上部保護層 106 及びサイドウォール 111 を形成する。この電極上部保護層 106 及びサイドウォール 111 がソース／ドレイン領域と上部メタル配線層を接続するためのコンタクトホールを形成する際のエッチング停止層となり、コンタクトホール内に埋め込まれる導電材料とゲート電極の側壁とを接触しないようにすることができる。

【0010】

【発明が解決しようとする課題】ところで、以上のような従来の半導体装置の製造方法では、図 10 (b) に示すように、ゲート電極上に開口されるコンタクトホール 116 が、フィールド領域上ゲート電極 108 f のタングステンシリサイド膜 106 まで到達しなければコンタクトを取ることができない。

【0011】しかしながら、活性領域上ゲート電極 108 a の電極上部保護膜 106 は除去してはならないので、従来の半導体装置の製造方法では、層間絶縁膜 114 をエッチングした後、活性領域上のコンタクトホール 115 をマスクして電極上部保護膜 106 をエッチングする 2 段階のエッチングをしなければならない。

【0012】また、フィールド領域上電極 108 f の層間絶縁膜 114 と電極上部保護膜 106 との両者が同時に開口できる条件でエッチングをすることも考えられるが、この場合も、ソース／ドレイン領域上に開口するコンタクトホール 115 と、ゲート電極上に開口するコンタクトホール 116 とを別々にエッチングしなければならない。

【0013】従って、従来の半導体装置の製造方法では、2 つの領域のコンタクトホールを別々に開口することによるマスク数が増加する問題や、先に開口したコンタクトホール内に埋め込まれたレジストの残存の問題や、ソース／ドレイン領域のコンタクトホールとゲート電極のコンタクトホールの合わせずれ等の問題が生じてしまう。

【0014】本発明は、このような実情を鑑みてなされたものであり、ゲート電極の上面及び側面を保護膜で被覆してコンタクトホールを形成する半導体装置の製造工程を少なくし、また、このような半導体装置を高い信頼性で製造する半導体装置の製造方法を提供することを目的とする。

【0015】

【課題を解決するための手段】上述の課題を解決するために、本発明にかかる半導体装置の製造方法は、上面が上部保護膜で被覆されるとともに側面がサイドウォールにより被覆された半導体基板の活性領域の活性領域上電極と、上面が上部保護膜で被覆されるとともに側面がサイドウォールにより被覆され上記活性領域上電極と接続された半導体基板のフィールド領域のフィールド領域上電極とを形成する電極形成工程と、上記活性領域上電極上にレジストをパターニングするレジストパターニング

工程と、フィールド上領域電極の上面に被覆された上部保護膜を選択的に除去する上部保護膜除去工程と、上記レジストを除去するレジスト除去工程と、上記上部保護膜及びサイドウォールに対してエッチング選択比を確保した層間絶縁膜を、半導体基板全面に成膜する層間絶縁膜成膜工程と、上記活性領域のソース／ドレイン領域を上部配線層と接続するためのコンタクトホールと、上記フィールド領域のフィールド領域上電極と上部配線層とを接続するためのコンタクトホールとを、エッチングにより同時に形成するコンタクトホール形成工程とを備える。

【0016】本発明にかかる半導体装置の製造方法では、半導体装置の微細化により生じるゲート電極と不純物拡散領域との短絡を回避するために用いられる自己整合コンタクトを適用してコンタクトホールを形成した半導体装置を製造する。

【0017】本発明では、まず、不純物拡散層が形成される活性領域上と、この活性領域を区画する例えば酸化シリコン等からなるフィールド領域上とに、それぞれ電極を形成する。フィールド領域上電極は、活性領域上電極と一体的に形成されることによりこの活性領域上電極と電気的に接続される。このフィールド上電極は、層間絶縁膜で被覆されたのち、上部配線層とコンタクトするために設けられるものである。そして、フィールド領域上電極及び活性領域上電極は、それぞれ、上面に絶縁材料からなる上部保護膜、側面に絶縁材料からなるサイドウォールが形成される。

【0018】続いて、本発明では、フィールド上領域電極の上面に被覆された上部保護膜を選択的に除去した後、上部保護膜及びサイドウォールに対してエッチング選択比を確保した層間絶縁膜を半導体基板全面に成膜し、ソース／ドレイン領域及びゲート電極上のコンタクトホールを同時に形成する。

【0019】このように本発明では、層間絶縁膜を形成する前に、フィールド領域上に存在するフィールド領域上電極の上部保護膜を除去して、フィールド領域上電極の上部に導電材料を露出させる。そのため、層間絶縁膜を被覆した後、この層間絶縁膜以外の材料をエッチングせずに、フィールド上電極と上部配線層とのコンタクトホールを形成することができる。

【0020】

【発明の実施の形態】以下、本発明の実施の形態の MOSFET の製造プロセスについて、図 1 から図 7 を参照しながら説明する。なお、図 1 から図 7 において、

(a) は各工程におけるシリコン基板の模式的な上面図を示し、(b) は各工程におけるシリコン基板の活性領域の模式的な断面図 ((a) 中の X-X' 線を断面した図) を示し、(c) は各工程におけるシリコン基板のフィールド領域の模式的な断面図 ((a) 中の Y-Y' 線を断面した図) を示すものとする。

【0021】まず、図1(a)及び図1(b)に示すように、n型又はp型のシリコン基板1上に、シリコン酸化膜による素子分離層2を、例えばTRENCH法により形成して活性領域とフィールド領域とを区画する。なお、LOCOS(Local Oxidation of Si)法により素子分離層を形成してもよい。

【0022】続いて、シリコン基板1上のn型MOSトランジスタとなる上記素子分離層2により区画された活性領域に対してp型半導体ウェルを形成し、シリコン基板1上のp型MOSトランジスタとなる上記素子分離層2により区画された活性領域に対してn型半導体ウェルを形成する。

【0023】続いて、図2(a)及び図2(b)に示すように、上部に保護膜が形成されたゲート電極、及び、LDD(Lightly Doped Drain)領域を形成する。まず、半導体ウェル領域の表面を熱処理により酸化させ例えば膜厚3.5nmのゲート酸化膜3を形成する。次に、活性領域及びフィールド領域を含むシリコン基板1上の全面にCVDによりポリシリコンを堆積させ、例えば膜厚50nmのポリシリコン膜4を形成する。次に、ポリシリコン膜4上にCVD(Cheical Vapor Deposition system)によりタングステンシリサイドを堆積させ、例えば膜厚100nmのタングステンシリサイド膜5を形成する。次に、タングステンシリサイド膜5上にCVDにより窒化シリコンを堆積させ、電極上部保護膜6を形成する。この電極上部保護膜6は、活性領域のコンタクトホール、即ち、ソース/ドレイン領域と上部メタル配線層を接続するためのコンタクトホールを形成する際のエッチング停止層となり、コンタクトホール内に埋め込まれる導電材料とゲート電極の上面とを接触しないようにすることができる。なお、電極上部保護膜6の材料は、窒化シリコンに限らず、コンタクトホールをエッチングにより開口する際に層間絶縁膜と選択比がとれる材料であればよい。次に、電極上部保護膜6上にフォトリソグラフィと現像処理とによりフォトレジスト7をパターンニングし、ポリシリコン膜4、タングステンシリサイド膜5、電極上部保護膜6をRIE(Reactive Ion Etching)による異方性エッチングして、活性領域上のゲート電極となる活性領域上電極8a及びフィールド領域上のゲート電極となるフィールド領域上電極8fを形成する。この活性領域上電極8a及びフィールド領域上電極8fは一体的に形成されるため電気的に接続された状態となっている。次に、イオン注入により低濃度不純物を拡散領域に注入し、LDD構造における低濃度拡散領域9を形成する。例えば、n型MOSトランジスタの領域にはヒ素イオンを10keV、 $8 \times 10^{14} \text{cm}^{-2}$ の条件で注入し、p型MOSトランジスタの領域には二フッ化ホウ素イオンを10keV、 $4 \times 10^{14} \text{cm}^{-2}$ の条件で注入して、低濃度拡散領域9を形成する。

【0024】続いて、図3(a)及び図3(b)に示す

ように、ゲート電極のサイドウォール及びソース/ドレイン領域を形成する。まず、活性領域上電極8a及びフィールド領域上電極8fのフォトレジスト7を除去した後、活性領域及びフィールド領域を含むシリコン基板1上の全面にCVDにより窒化シリコンを100nm堆積させる。次に、堆積した窒化シリコンをエッチバックして、活性領域上電極8a及びフィールド領域上電極8fの側壁にサイドウォール11を形成する。このサイドウォール11は、活性領域のコンタクトホール、即ち、ソース/ドレイン領域と上部のメタル配線層を接続するためのコンタクトホールを形成する際のエッチング停止層となり、コンタクトホール内に埋め込まれる導電材料とゲート電極の側壁とを接触しないようにすることができる。なお、サイドウォール11の材料は、窒化シリコンに限らず、コンタクトホールをエッチングにより開口する際に層間絶縁膜と選択比がとれる材料であればよい。また、ここでは、ゲート電極の最上部層の電極上部保護膜6とサイドウォール11とを同一の材料としているが、これらは異なる材料であってもよい。次に、活性領域上電極8a及びサイドウォール11をマスクとしたイオン注入により高濃度不純物を拡散領域に注入し、ソース/ドレイン領域となる高濃度拡散領域12を形成する。例えば、n型MOSトランジスタの領域にはヒ素イオンを50keV、 $3 \times 10^{15} \text{cm}^{-2}$ の条件で注入し、p型MOSトランジスタの領域には二フッ化ホウ素イオンを20keV、 $3 \times 10^{15} \text{cm}^{-2}$ の条件で注入して、高濃度拡散領域12を形成する。

【0025】続いて、図4(a)、図4(b)及び図4(c)に示すように、素子分離層2を形成する際に用いたマスクを用いて活性領域上にフォトリソグラフィと現像処理とにより、フォトレジスト13をパターンニングする。素子分離層2を形成する際に用いたマスクを流用することによりマスク数を減少させることができる。なお、このフォトレジスト13は、少なくとも活性領域上の活性領域上電極8aを保護するようにパターンニングすればよく、素子分離層2を形成する際に用いたマスクを流用せず新たなマスクを用いても良い。

【0026】続いて、図5(a)、図5(b)及び図5(c)に示すように、フォトレジスト13により保護されていないフィールド領域の窒化シリコンをリン酸等を用いて選択的に除去する。すなわち、フィールド領域上電極8fの上面及び側壁に形成された電極上部保護膜6及びサイドウォール11とを除去する。フィールド領域上電極8fの上面に存在した電極上部保護膜6を除去することにより、ゲート電極が上部メタル配線層とコンタクトする部分を形成することができる。なお、ここでは、電極上部保護膜6とサイドウォール11とを同一の材料で形成しているため両者とも除去されている状態となっているが、これらを同一の材料で形成していなければ、少なくとも電極上部保護膜6のみを除去し、サイド

ウォール 11 は除去しなくてもよい。また、リン酸を用いて除去するのではなく、RIEにより除去しても良い。

【0027】続いて、図 6 (a)、図 6 (b) 及び図 6 (c) に示すように、フォトレジスト 13 を除去する。フォトレジスト 13 は、例えばアッシャにより剥離した後、有機系残存物を RA 洗浄して除去する。

【0028】続いて、図 7 (a)、図 7 (b) 及び図 7 (c) に示すように、層間絶縁膜 14 を形成して、この層間絶縁膜 14 にコンタクトホール 15、16 を形成する。まず、活性領域及びフィールド領域を含むシリコン基板 1 上の全面に絶縁材料 (例えば SiO_x) を堆積して層間絶縁膜 14 を形成し、この層間絶縁膜 14 の表面を CMP (Chemical Mechanical Polich) により平坦化する。次に、活性領域のコンタクトホール 15 (即ちソース/ドレイン領域と上部メタル配線層とを接続するためのコンタクトホール) と、フィールド領域のコンタクトホール 16 (即ちゲート電極と上部メタル配線層とを接続するためのコンタクトホール) とを、1つのマスクを用いてエッチングして同時に形成する。

【0029】続いて、例えばタングステン等のコンタクトホール内への埋込、上部メタル配線の形成、また、層間絶縁膜の形成等を行って、半導体装置が完成する。

【0030】以上のように本発明の実施の形態の MOSFET の製造プロセスでは、フィールド領域上電極 8f の上面を被覆する電極上部保護膜 6 を選択的に除去した後、層間絶縁膜 14 を形成し、活性領域上のコンタクトホール 15 とフィールド領域上のコンタクトホール 16 とを同時に開口する。

【0031】このことにより、本発明の実施の形態の MOSFET の製造プロセスでは、マスク数の増加、製造工程の増加、先に開口したコンタクトホールへのレジストの残存、ソース/ドレイン領域のコンタクトホールとゲート電極のコンタクトホールの合わせずれ等の問題が生じず、製造工程を少なくすることができるとともに高い信頼性で半導体装置を製造することができる。

【0032】

【発明の効果】本発明にかかる半導体装置の製造方法では、フィールド上領域電極の上面に被覆された上部保護膜を選択的に除去した後、上部保護膜及びサイドウォールに対してエッチング選択比を確保した層間絶縁膜を半導体基板全面に成膜し、ソース/ドレイン領域及びゲート電極上のコンタクトホールを同時に形成する。

【0033】このことにより、本発明では、ゲート電極の上面及び側面を保護膜で被覆してコンタクトホールを形成する半導体装置の製造工程を少なくし、また、このような半導体装置を高い信頼性で製造することができる。

【図面の簡単な説明】

【図 1】本発明の実施の形態の半導体装置の製造方法において、シリコン基板上に、素子分離層を形成した後の状態を示す模式的な上面図と模式的な断面図である。

【図 2】図 1 のシリコン基板上にゲート酸化膜を形成し、ポリシリコン膜、タングステンシリサイド膜、電極上部保護膜を堆積して、これらをフォトレジストによりエッチングしてゲート電極を形成した状態を示す模式的な上面図及び模式的な断面図である。

【図 3】図 2 のゲート電極の側壁にサイドウォールを形成した状態を示す模式的な上面図及び模式的な断面図である。

【図 4】図 3 のシリコン基板の活性領域にフォトレジストを成膜した状態を示す模式的な上面図及び模式的な断面図である。

【図 5】図 4 のフィールド領域のゲート電極の電極上部保護膜及びサイドウォールを除去した状態を示す模式的な上面図及び模式的な断面図である。

【図 6】図 5 のフォトレジストを除去した状態を示す模式的な上面図及び模式的な断面図である。

【図 7】図 6 のシリコン基板全面に層間絶縁膜を成膜し、コンタクトホールを開口した状態を示す模式的な上面図及び模式的な断面図である。

【図 8】従来の半導体装置の製造方法において、シリコン基板上にゲート電極を形成した状態を示す模式的な上面図及び模式的な断面図である。

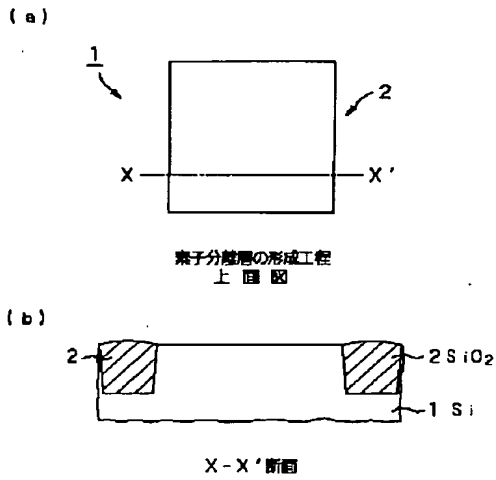
【図 9】図 8 のシリコン基板全面に層間絶縁膜を成膜し、活性領域のコンタクトホールを開口した状態を示す模式的な上面図及び模式的な断面図である。

【図 10】図 9 の層間絶縁膜に、フィールド領域のコンタクトホールを開口した状態を示す模式的な上面図及び模式的な断面図である。

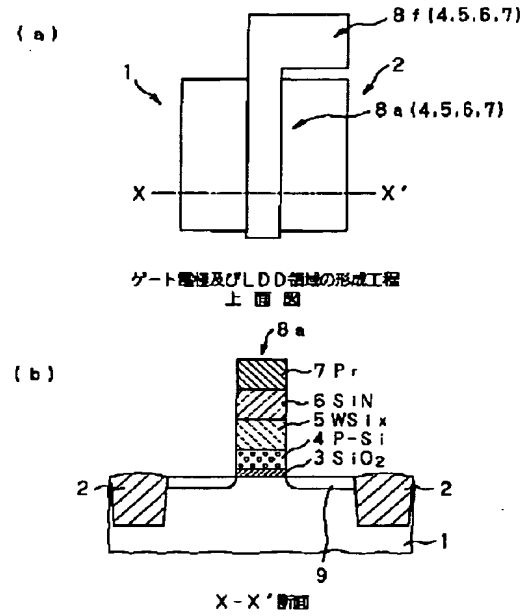
【符号の説明】

1 シリコン基板、3 ゲート酸化膜、4 ポリシリコン膜、5 タングステンシリサイド膜、6 電極上部保護膜、8a 活性領域上電極、8f フィールド領域上電極、11 サイドウォール、13 フォトレジスト、15、16 コンタクトホール

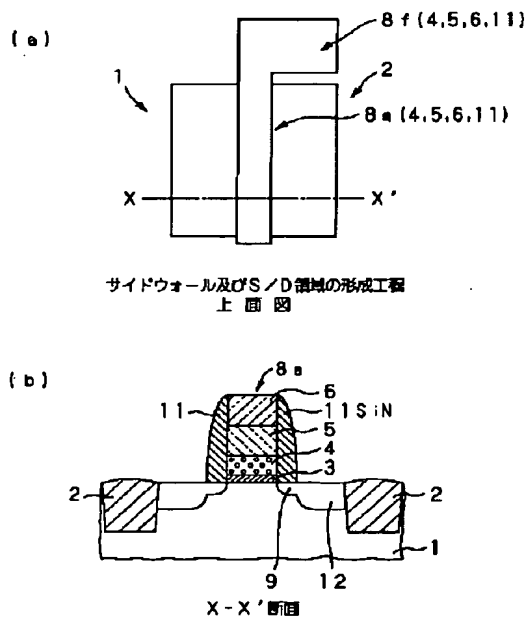
【図1】



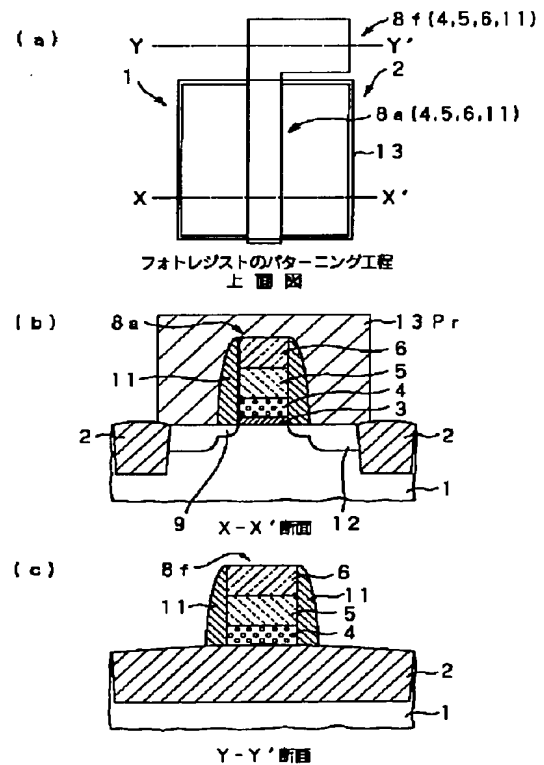
【図2】



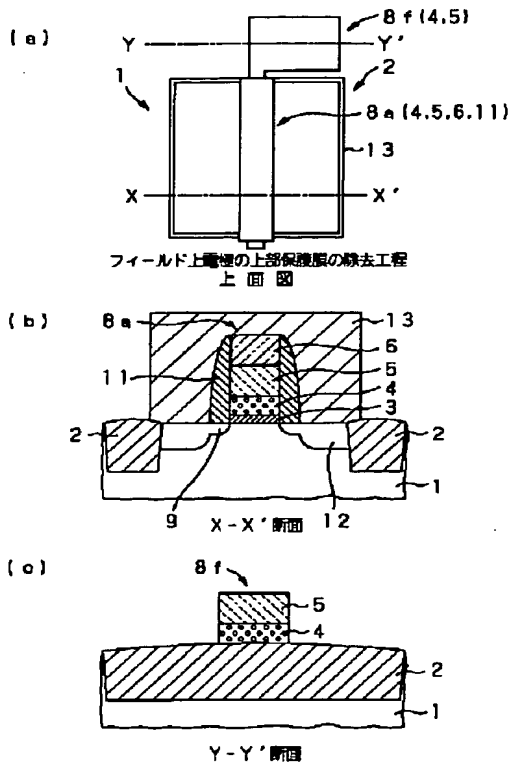
【図3】



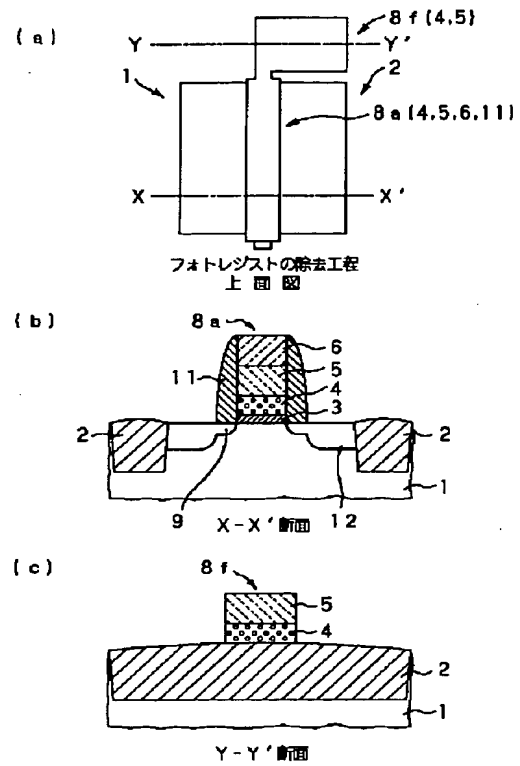
【図4】



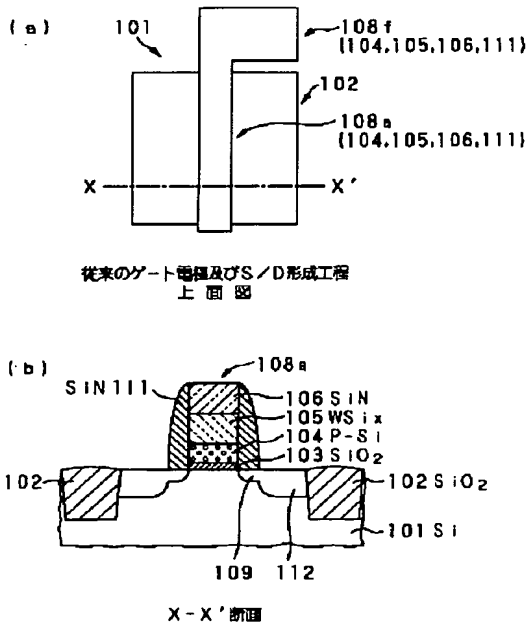
【図5】



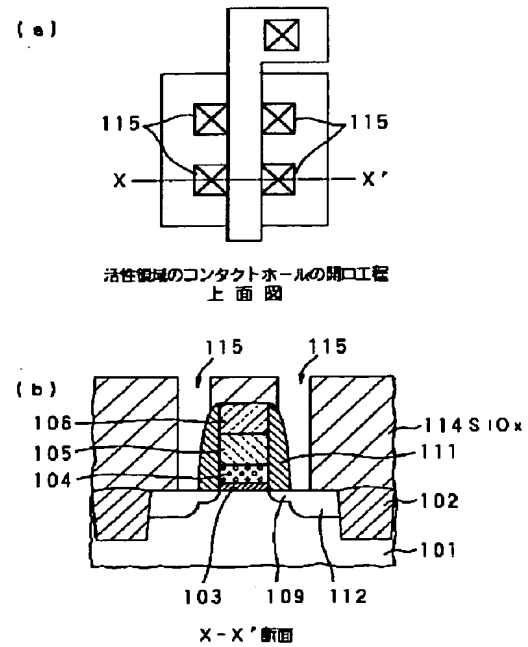
【図6】



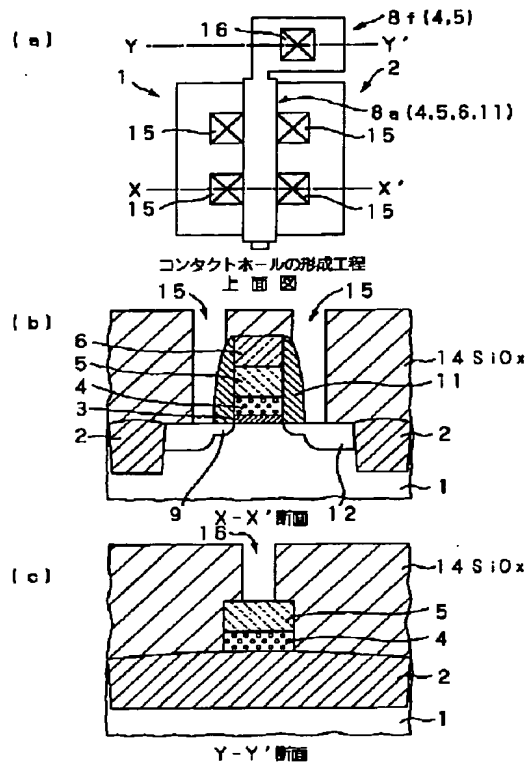
【図8】



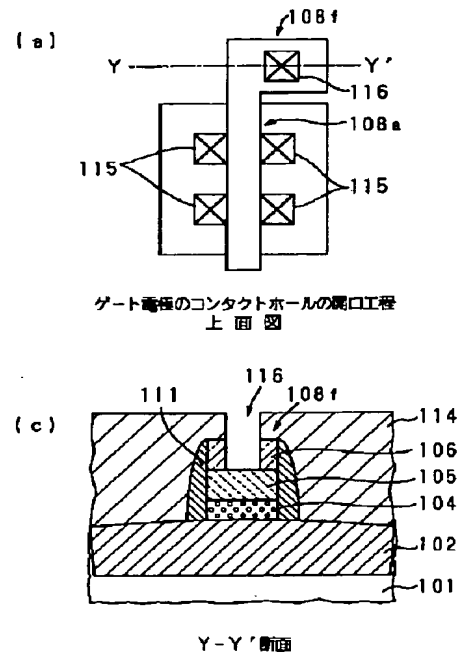
【図9】



【図7】



【図10】



フロントページの続き

Fターム(参考) 4M104 BB01 CC05 DD04 DD07 DD08
DD09 DD16 DD17 EE05 EE09
EE17 FF14
5F033 KK01 KK04 KK28 MM07 MM15
PP06 QQ08 QQ09 QQ10 QQ13
QQ19 QQ25 QQ31 QQ37 QQ48
RR04 RR06 SS11 TT08 XX01
5F040 DC01 EC01 EC07 EC13 EC26
EF02 EH08 FA03 FA07 FA18
FC22